

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-217550

(43)Date of publication of application : 10.08.2001

(51)Int.Cl.

H05K 3/46

H01L 23/12

H05K 1/02

H05K 1/11

(21)Application number : 2000-245656

(71)Applicant : IBIDEN CO LTD

(22)Date of filing : 14.08.2000

(72)Inventor : ASAI MOTOO
KARIYA TAKASHI

(30)Priority

Priority number : 11335534

Priority date : 26.11.1999

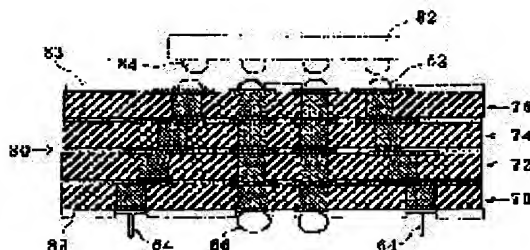
Priority country : JP

(54) MULTILAYER CIRCUIT BOARD AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multilayer circuit board advantageous for increasing the wiring density and mounting electronic components at higher densities.

SOLUTION: The multilayer circuit board and semiconductor device including electronic components mounted on this circuit board are characterized as follows. A plurality of circuit boards each having conductor circuits on one or both surfaces of an insulative hard base and vias composed of a conductive substance filled in holes piercing the insulative hard base to reach the conductor circuits are laminated through adhesive layers and heated and pressed en bloc, solder bumps are formed just above the vias on the surface of the outermost conductor layer of one of the laminated circuit boards and electrically connected to these vias, and conductive pins or conductive balls are disposed just above the vias on the surface of the outermost conductor layer of the other circuit board and electrically connected to these vias.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-217550

(P2001-217550A)

(43) 公開日 平成13年8月10日 (2001.8.10)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 5 K 3/46		H 0 5 K 3/46	Q 5 E 3 1 7
			G 5 E 3 3 8
			N 5 E 3 4 6
H 0 1 L 23/12		1/02	D
H 0 5 K 1/02		1/11	N
審査請求 未請求 請求項の数 9 O L (全 14 頁) 最終頁に続く			

(21) 出願番号 特願2000-245656 (P2000-245656)

(22) 出願日 平成12年8月14日 (2000.8.14)

(31) 優先権主張番号 特願平11-335534

(32) 優先日 平成11年11月26日 (1999.11.26)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72) 発明者 浅井 元雄

岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社大垣北工場内

(72) 発明者 荻谷 隆

岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社大垣北工場内

(74) 代理人 100080687

弁理士 小川 順三 (外1名)

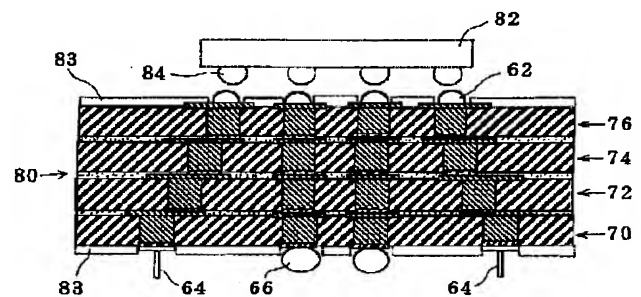
最終頁に続く

(54) 【発明の名称】 多層回路基板および半導体装置

(57) 【要約】

【課題】 高密度配線および電子部品の高密度実装に有利な多層回路基板およびそれを用いた半導体装置を提供すること。

【解決手段】 絶縁性硬質基材の片面または両面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口に導電性物質が充填されてなるビアホールを有する回路基板の複数枚が接着剤層を介して積層され、一括して加熱プレスされることにより形成され、積層された複数の回路基板のうち、最も外側に位置する一方の回路基板の表面には、そのビアホールの直上に位置してそのビアホールに電気的に接続される導電性バンプが形成され、最も外側に位置する他方の回路基板の表面には、そのビアホールの直上に位置してそのビアホールに電気的に接続される導電性のピンまたは導電性のボールが配設されていることを特徴とする多層回路基板およびその多層回路基板に搭載される電子部品とを含んだ半導体装置。



【特許請求の範囲】

【請求項 1】 絶縁性硬質基材の片面または両面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口に導電性物質が充填されてなるビアホールを有する回路基板の複数枚が接着剤層を介して積層され、一括して加熱プレスされることにより形成された多層回路基板において、

前記積層された複数の回路基板のうち、最も外側に位置する一方の回路基板の表面には、上記ビアホールの直上に位置してそのビアホールに電氣的に接続される導電性バンプが形成され、最も外側に位置する他方の回路基板の表面には、前記ビアホールの直上に位置してそのビアホールに電氣的に接続される導電性のピンまたは導電性のボールが配設されていることを特徴とする多層回路基板。

【請求項 2】 絶縁性硬質基材の片面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口内に導電性物質が充填されてなるビアホールを有する片面回路基板の複数枚と、絶縁性硬質基材の片面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口を有する片面回路基板とが接着剤層を介してそれぞれ積層され、一括して加熱プレスされることにより形成された多層回路基板において、前記積層された複数の回路基板のうち、最も外側に位置する一方の回路基板の表面には、上記ビアホールの直上に位置してそのビアホールに電氣的に接続される導電性バンプが形成され、最も外側に位置する他方の回路基板の開口内には、その回路基板の導体回路に電氣的に接続される導電性のピンまたは導電性のボールが配設されていることを特徴とする多層回路基板。

【請求項 3】 前記多層回路基板を構成する各回路基板は、そのビアホール位置に対応して、そのビアホールに電氣的に接続する突起状導体が形成されていることを特徴とする請求項 1 または 2 に記載の多層回路基板。

【請求項 4】 前記多層回路基板を構成する各回路基板のビアホールに充填される導電性物質は、電解めっき処理によって形成された金属めっき層であることを特徴とする請求項 1 または 2 に記載の多層回路基板。

【請求項 5】 前記各回路基板に形成される隣接するビアホール間の距離は、前記一方の回路基板から他方の回路基板に向かうにつれて大きくなるように形成されることを特徴とする請求項 1 または 2 に記載の多層回路基板。

【請求項 6】 請求項 1 ないし 5 のいずれかに記載の多層回路基板と、その多層回路基板の最も外側の回路基板に形成された導電性バンプに電氣的に接続された電子部品とを含んでなる半導体装置。

【請求項 7】 前記電子部品を搭載する最も外側の回路基板の周縁部にはスティフナが配置されるとともに、その回路基板と対向する最も外側の他の回路基板の表面には、コンデンサチップが電氣的に接続されてなる請求

項 6 に記載の半導体装置。

【請求項 8】 絶縁性硬質基材の片面または両面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口に電解めっきが充填されてなるビアホールを有し、そのビアホール位置に対応して、そのビアホールに電氣的に接続する突起状導体とを有してなる回路基板の複数枚が接着剤層を介して積層され、一括して加熱プレスされることにより形成された多層回路基板と、その多層回路基板の最も外側に位置する回路基板に電氣的に接続された L S I チップ等の電子部品とを含んでなる半導体装置において、前記最も外側に位置する一方の回路基板の表面には、前記ビアホールの直上に位置してそのビアホールに電氣的に接続される導電性バンプが形成されるとともに、その導電性バンプに対して前記電子部品が電氣的に接続され、前記電子部品が搭載された回路基板と反対側にある最も外側に位置する回路基板の表面には、前記電子部品直下にあるビアホールに対してチップコンデンサが電氣的に接続されていることを特徴とする半導体装置。

【請求項 9】 前記電子部品が搭載された回路基板の周縁部には、スティフナが接着・固定されていることを特徴とする請求項 8 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、超高密度配線に有利な多層回路基板に係り、特に、充填ビアホールを有する片面回路基板の複数枚を、あるいは両面回路基板をコアとしてその両面に片面回路基板をそれぞれ積層し、その積層された回路基板同士を接着剤を介して一括加熱プレスすることにより形成される多層回路基板およびその多層回路基板を用いた半導体装置を提案する。

【0002】

【従来の技術】多層回路基板の最も外側の表面には、L S I チップ等のきまぎまな電子部品が搭載される。このような多層回路基板に電子部品を搭載する方法としては、多層回路基板の最も外側の表面に形成された導体回路上の所定位置に、電子部品の端子部を挿入するための部品穴や、その部品穴を囲んだ個所に部品穴の径よりもやや大きな径を持つ接続用のランドを形成させておき、ここに電子部品のリード群がはんだ付けにより接続されるピン実装方式や、導体回路上の所定位置に形成させたランド上にクリームはんだを予め塗布しておき、電子部品の端子部がクリームはんだに接触するように載置した後、はんだが溶融する温度範囲内に保たれた雰囲気内でリフローさせることにより、電子部品が接続される表面実装方式などが挙げられる。

【0003】

【発明が解決しようとする課題】しかしながら、上記のような方法では、導体回路上に適度な大きさの径を有するランドを設けることが不可欠である。しかるに、近年

10

20

30

40

50

の電子機器の小型化、高機能化の要請に伴って、電子部品の搭載数が多くなると、ランドの総面積は無視できない程大きくなり、高密度化の阻害要因となっていた。

【0004】また、電子部品を接続するためのはんだ付け作業の際には、不必要な箇所へはんだが流れ、短絡、断線等が起こるのを防止するためのソルダーレジストを、あらかじめ塗布しておくことも不可欠である。このため、ソルダーレジスト印刷の際の位置ずれ誤差を考慮して、配線間に余裕を見て設計する必要がある、このことも高密度化の阻害要因となっていた。

【0005】本発明は、従来技術が抱える上述した課題を解決するために開発されたものであり、その目的とするところは、高密度化の可能な多層回路基板およびそれを用いた半導体装置を提案することにある。

【0006】

【課題を解決するための手段】発明者らは、上記目的の実現に向け鋭意研究した結果、以下に示す内容を要旨構成とする発明に想到した。すなわち、

(1) 本発明の多層回路基板は、絶縁性硬質基材の片面または両面に導体回路を有し、この絶縁性硬質基材を貫通して導体回路に達する開口に導電性物質が充填されてなるビアホールを有する回路基板の複数枚が接着剤層を介して積層され、一括して加熱プレスされることにより形成された多層回路基板において、上記積層された複数の回路基板のうち、最も外側に位置する一方の回路基板の表面には、上記ビアホールの直上に位置してそのビアホールに電氣的に接続される導電性バンプが形成され、また最も外側に位置する他方の回路基板の表面には、上記ビアホールの直上に位置してそのビアホールに電氣的に接続される導電性のピンまたは導電性のボールが配設されていることを特徴とする。

【0007】(2) また、本発明の多層回路基板は、絶縁性硬質基材の片面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口に導電性物質が充填されてなるビアホールを有する片面回路基板の複数枚と、絶縁性硬質基材の片面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口を有する片面回路基板とが接着剤層を介してそれぞれ積層され、一括して加熱プレスされることにより形成された多層回路基板において、前記積層された複数の回路基板のうち、最も外側に位置する一方の回路基板の表面には、上記ビアホールの直上に位置してそのビアホールに電氣的に接続される導電性バンプが形成され、最も外側に位置する他方の回路基板の開口内には、その回路基板の導体回路に電氣的に接続される導電性のピンまたは導電性のボールが配設されていることを特徴とする。

【0008】上記(1)および(2)の多層回路基板を構成する各回路基板には、そのビアホール位置に対応して、そのビアホールに電氣的に接続され、回路基板の表面から突出する突起状導体が形成されていることが望ま

しい。

【0009】また、上記(1)および(2)の多層回路基板を構成する各回路基板のビアホールに充填される導電性物質は、電解めっき処理による金属めっきであることが望ましい。

【0010】さらに、上記多(1)および(2)の多層回路基板において、積層される各回路基板に形成される隣接するビアホール間の距離は、前記一方の回路基板から他方の回路基板に向かうにつれて大きくなるように形成されることが望ましい。

【0011】(3) また、本発明の半導体装置は、請求項1ないし9のいずれかに記載の多層回路基板と、その多層回路基板の最も外側の一方の回路基板に形成された導電性バンプに電氣的に接続された電子部品とを含んでなることを特徴とする。

【0012】上記電子部品を搭載する回路基板の周縁部にはスティフナが配置されるとともに、その回路基板に対向する最も外側の回路基板に形成されたビアホールのうち、電子部品搭載位置に対向する位置にあるビアホールに対してチップコンデンサーが電氣的に接続されることが望ましい。

【0013】(4) また、本発明の半導体装置は、絶縁性硬質基材の片面または両面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口に電解めっきが充填されてなるビアホールを有し、そのビアホール位置に対応して、そのビアホールに電氣的に接続される突起状導体とを有してなる回路基板の複数枚が接着剤層を介して積層され、一括して加熱プレスされることにより形成された多層回路基板と、その多層回路基板の最も外側に位置する回路基板に電氣的に接続されたLSIチップ等の電子部品とを含んでなる半導体装置において、前記最も外側に位置する一方の回路基板の表面には、前記ビアホールの直上に位置してそのビアホールに電氣的に接続する導電性バンプが形成されるとともに、その導電性バンプに対して前記電子部品が電氣的に接続され、前記電子部品が搭載された回路基板と反対側にある最も外側に位置する回路基板の表面には、前記電子部品直下にあるビアホールに対してチップコンデンサーが電氣的に接続されていることを特徴とする。

【0014】上記半導体装置において、電子部品が搭載された回路基板の周縁部には、基板の反り防止のためのスティフナが接着・固定されていることが望ましい。

【0015】

【発明の実施の形態】本発明は、絶縁性硬質基材の片面または両面に導体回路を有し、この絶縁性硬質基材を貫通して前記導体回路に達する開口に導電性物質が充填されてなるビアホールを有する回路基板を構成単位として、これらの複数枚を適切に組み合わせ、あるいは必要に応じて、これらの片面または両面回路基板に加えて、開口に導電性物質が充填されたビアホールを有するが導

体回路を有しないような回路基板と組み合わせ、接着剤層を介して積層した後、一括して加熱プレスすることにより成形した多層回路基板をパッケージ基板として用いた点にある。

【0016】すなわち、積層・一括プレス成形された複数の回路基板のうち、最も外側に位置する一方の回路基板の表面には、電子部品の接続用端子に接続されるべくビアホール直上に位置してビアホールに電気的に接続される導電性バンプが形成され、また最も外側に位置する他方の回路基板の表面には、マザーボード上の接続用穴あるいは接続用パッドに接続されるべく、ビアホール直上に位置してそのビアホールに電気的に接続する導電性ピンまたは導電性ボールが配設されている点に特徴がある。

【0017】① 上記多層化基板を、たとえば4枚の片面回路基板A～Dを用いて構成する場合には、たとえば図1に示すように、最も外側に位置する一方の回路基板Aの表面には、導体回路が露出し、最も外側に位置する他方の回路基板Dの表面には、ビアホールに接続する突起状導体が露出した構造となり、また、図2に示すように、最も外側に位置する回路基板AおよびDの表面には、導体回路が露出した構造となる。

【0018】② また、上記多層回路基板を、3枚の片面回路基板A、B、Cと、1枚の両面回路基板Eとを用いて構成する場合には、たとえば図3に示すように、最も外側に位置する回路基板A、Cの表面には、それぞれ導体回路が露出した構造となる。

【0019】③ さらに、上記多層回路基板を、3枚の片面回路基板A、B、Cと、1枚の導体回路を有しない回路基板Fとを用いて構成する場合には、たとえば図4に示すように、最も外側に位置する回路基板A、Fの表面には、それぞれビアホールに接続する突起状導体が露出した構造となる。

【0020】上記①～③のような組み合わせ以外にも多層回路基板を構成することができるが、最も外側の回路基板の導体回路のビアホール直上に位置する部分は、導体パッドに形成され、また最も外側の回路基板の突起状導体は、その露出部分が加熱プレスの際に溶融して絶縁性基材の表面上にほぼ円形の導体パッドに形成される。

【0021】図1に示すような組み合わせによれば、最上層の回路基板の表面に露出する導体回路上に、LSI等の半導体チップを含んだ電子部品に接続されるべく、適切なはんだ体を供給してはんだバンプが形成され、また最下層の回路基板のビアホール位置に突起状導体によって形成される導体パッドには、マザーボード上の接続用穴あるいは接続用パッドに接続されるべく、T形ピン又ははんだボールが接続されるのが好ましい。

【0022】また、最上層の回路基板の表面に露出する導体回路上に、適切なはんだ体を供給することによって、T形ピン又ははんだボールが接続され、最下層の回

路基板のビアホール位置に突起状導体によって形成された導体パッドに、はんだバンプを形成することもできる。

【0023】いずれの組み合わせによる構成においても、上記はんだバンプは、最も外側に位置する一方の回路基板の導体回路の一部に形成された導体パッド上あるいはビアホール直上の突起状導体によって形成された導体パッド上に形成され、T形ピン又ははんだボールは、最も外側に位置する他方の回路基板の表面に露出するビアホール直上の突起状導体によって形成された導体パッド上あるいは導体回路の一部に形成された導体パッド上にそれぞれ配設されることになる。

【0024】このような構成によれば、多層回路基板内に充填ビアホールが高密度に設けられ、こうして高密度化されたビアホールのうち、最も外側に位置する回路基板の表面に露出するビアホール直上に位置して、導電性バンプや、導電性ピンまたは導電性ボールが配設されるので、多層回路基板内の配線層は、このような導電性バンプ、導電性ピンまたは導電性ボールを介して、LSI等の半導体チップを含んだ電子部品やマザーボードに最短の配線長で接続され、高密度配線化が可能となる。

【0025】更に、片面あるいは両面回路基板を同一材料で形成し、それらを積層した構造なので、熱膨張に起因する界面を起点とするクラックや剥離が起きにくく、したがって、温度サイクル試験に対する信頼性も向上する。また、片面回路基板だけを用いて多層回路基板を構成した場合には、配線形成の有無に関わらず反りが発生し難くなる。

【0026】また、導電性バンプ、導電性ピンおよび導電性ボールは、多層回路基板の最も外側に位置する回路基板の表面に露出するビアホール直上に位置して形成されるので、従来技術のようなソルダーレジスト層を形成する必要がなくなる。なぜならば、最も外側に位置する回路基板の絶縁層が、ソルダーレジストの役割を果たしているからである。

【0027】また、本発明の多層回路基板は、積層された複数の回路基板のうち、最も外側に位置する一方の回路基板の表面には、ビアホール直上に位置してそのビアホールに電気的に接続する導電性バンプが形成され、また最も外側に位置する他方の回路基板の開口内にはその導体回路に電気的に接続される導電性のピンまたは導電性のボールが配設される点に特徴がある。

【0028】このような構成によれば、積層された複数の片面回路基板の最も外側に位置する回路基板の一つが充填ビアホールを有しない補強板として機能する（なぜならば、ビアホールは、内層のビアランドよりも小さいため、ビア形成時の状態は、ビアランドの周囲を最も外側の回路基板の絶縁層が押さえていることになるから）とともに、そのような回路基板に設けた開口内に導電性のピンまたは導電性のボールが導体回路と電気的に接続

10

20

30

40

50

するように配設されるので、ソルダーレジスト層を必要としない。

【0029】本発明の半導体装置は、上記多層回路基板と、その最も外側の回路基板に形成された導電性パンプに電氣的に接続されたLSIチップ等の電子部品とを含んでなることを特徴とする。このような構成によれば、パンプの平坦性が保たれるので、電子部品との未接続がなくなるという効果がある。

【0030】上記半導体装置において、電子部品を搭載する回路基板には、電子部品を囲んだその周縁部にスティフナが配置されるとともに、電子部品を搭載する回路基板と対向する最も外側の回路基板に形成されたビアホールのうち、電子部品搭載位置に対向する位置にあるビアホールに、チップコンデンサーが直接に接続されることが望ましい。このような構成によれば、LSIチップ等の電子部品と、チップコンデンサーとの間の距離を最短化でき、両者間のループインダクタンスを小さくすることができる。

【0031】さらに、本発明の半導体装置は、充填ビアホールを電解めっきによって形成した多層回路基板と、その多層回路基板の最も外側に位置する回路基板に電氣的に接続されたLSIチップ等の電子部品とを含んでなり、前記最も外側に位置する一方の回路基板の表面には、前記ビアホールの直上に位置してそのビアホールに電氣的に接続する導電性パンプが形成されるとともに、その導電性パンプに対して電子部品がはんだボールを介して電氣的に接続され、前記電子部品が搭載された回路基板と反対側にある最も外側に位置する回路基板の表面には、前記電子部品直下にあるビアホールに対してチップコンデンサーが電氣的に接続されていることを特徴とする。このような構成によれば、LSI等の電子部品と、チップコンデンサーとの間の距離を最短化でき、両者間のループインダクタンスを小さくすることができる。

【0032】上記半導体装置においては、電子部品が搭載された回路基板の周縁部には、回路基板を構成する各材料の熱膨張率の差異に起因する、基板全体の反りを防止するためのスティフナが接着・固定されていることが望ましい。このスティフナは、たとえば、BT、FR4、FR5のようなガラス-樹脂複合材料や、銅などの金属材料から形成され、回路基板に搭載された電子部品の周囲を取り囲むように配設されるのが好ましい。

【0033】上述したような本発明による多層回路基板および半導体装置において使用される絶縁性基材は、半硬化状態のプリプレグではなく、完全に硬化した樹脂材料から形成される硬質の絶縁性基材であり、このような材料を用いることによって、絶縁性基材上へ銅箔を加熱プレスによって圧着させる際に、プレス圧による絶縁性基材の最終的な厚みの変動がなくなるので、ビアホールの位置ずれを最小限度に抑えて、ビアランド径を小さく

できる。したがって配線ピッチを小さくして配線密度を向上させることができる。また、基材の厚みを実質的に一定に保つことができるので、充填ビアホール形成用の開口をレーザ加工によって形成する場合には、そのレーザ照射条件の設定が容易となる。

【0034】このような絶縁性樹脂基材としては、ガラス布エポキシ樹脂基材、ガラス布ビスマレイミドトリアジン樹脂基材、ガラス布ポリフェニレンエーテル樹脂基材、アラミド不織布-エポキシ樹脂基材、アラミド不織布-ポリイミド樹脂基材から選ばれる硬質基材が使用されることが好ましく、ガラス布エポキシ樹脂基材が最も好ましい。

【0035】また、上記絶縁性基材の厚さは、20~600 μ mが望ましい。その理由は、絶縁性を確保するためである。20 μ m未満の厚さでは、強度が低下して取扱いが難しくなるとともに、電氣的絶縁性に対する信頼性が低くなるからであり、600 μ mを超えると、微細なビアホール形成用開口が難くなると共に、基板そのものが厚くなるためである。

【0036】上記範囲の厚さを有するガラスエポキシ基板上に形成されるビアホール形成用開口は、パルスエネルギーが0.5~100mJ、パルス幅が1~100 μ s、パルス間隔が0.5ms以上、ショット数が3~50の条件で照射される炭酸ガスレーザによって形成されることが好ましく、その開口径は、50~250 μ mの範囲であることが望ましい。その理由は、50 μ m未満では開口に導電性物質を充填し難くなると共に、接続信頼性が低くなるからであり、250 μ mを超えると、高密度化が困難になるからである。

【0037】このような炭酸ガスレーザによる開口形成の前に、絶縁性基材の導体回路形成面と反対側の面に樹脂フィルムを粘着させ、その樹脂フィルム上からレーザ照射を行うのが望ましい。

【0038】この樹脂フィルムは、ビアホール形成用の開口内をデスマリア処理し、そのデスマリア処理した後の開口内に電解めっき処理によって金属めっきを充填する際の保護マスクとして機能し、またビアホールの金属めっき層の直上に突起状導体を形成するための印刷用マスクとして機能する。

【0039】上記樹脂フィルムは、たとえば、粘着剤層の厚みが1~20 μ mであり、フィルム自体の厚みが10~50 μ mであるPETフィルムから形成されるのが好ましい。その理由は、PETフィルムの厚さに依存して後述する突起状導体の高さが決まるので、10 μ m未満の厚さでは突起状導体が低すぎて接続不良になりやすく、逆に50 μ mを超えた厚さでは、接続界面で突起状導体が拡がりすぎるので、ファインパターンの形成ができないからである。

【0040】上記絶縁性基材を貫通する開口内部に充填される導電性物質としては、導電性ペーストや電解めっ

き処理によって形成される金属めっきが好ましい。充填工程をシンプルにして、製造コストを低減させ、歩留まりを向上させるためには、導電性ペーストの充填が適しているが、接続信頼性の点では電解めっき処理によって形成される金属めっき、たとえば、すず、銀、はんだ、銅／すず、銅／銀等の金属めっきが好ましく、とくに、電解銅めっきが最適である。

【0041】このように導電性物質が充填された開口は、絶縁性基材に形成した導体回路同士を電気的に接続するビアホールを形成するが、本発明による多層回路基板およびそれを用いた半導体装置においては、積層される各回路基板に形成されるビアホールは、その隣接するビアホール間の距離が、LSIチップ等の電子部品を搭載する側にある最も外側の回路基板については最も小さく、マザーボードに接続される側にある最も外側の他の回路基板については最も大きくなるように形成される、すなわち、積層される各回路基板に形成されるビアホールの配置密度は、LSIチップ等の電子部品を搭載する側の回路基板からマザーボードに接続される側の回路基板に向かうにつれて小さくなるように形成されることが好ましく、このような構成によれば、配線の引き回し性が向上する。

【0042】上記絶縁性基材の片面または両面に形成される導体回路は、厚さが5～18 μm の銅箔を、半硬化状態を保持された樹脂接着剤層を介して加熱プレスした後、適切なエッチング処理をすることによって形成されるのが好ましい。このような加熱プレスは、適切な温度および加圧力のもとで行なわれ、より好ましくは、減圧下において行なわれ、半硬化状態の樹脂接着剤層のみを硬化することによって、銅箔を絶縁性基材に対してしっかりと接着され得るので、従来のプリプレグを用いた回路基板に比べて製造時間が短縮される。

【0043】このような導体回路が絶縁性基材の両面に形成されるような回路基板は、多層回路基板のコアとして用いることができ、各ビアホールに対応した基板表面には、導体回路の一部としてのビアランド(パッド)が、その口径が50～250 μm の範囲に形成されるのが好ましい。

【0044】また、絶縁性基材の片面に導体回路が形成されるような片面回路基板は、両面回路基板とともに積層される回路基板として用いられるだけでなく、片面回路基板だけを積層して多層化基板を形成することもできる。このような片面回路基板においては、充填ビアホールの真上に突起状導体が形成されることが好ましい。

【0045】上記突起状導体は、導電性ペーストや低融点金属から形成されることが好ましく、各回路基板を積層して、一括して加熱プレスする工程において、導電性ペーストあるいは低融点金属が熱変形するので、前記ビアホール内に充填される導電性物質や金属めっき層の高さのばらつきを吸収することができ、それ故に、接続不

良を防止して接続信頼性に優れた多層回路基板を得ることができる。上記突起状導体は、ビアホール内に充填される導電性物質、たとえば導電性ペーストと同一の材料で、しかも同一の充填工程によって形成することもできる。

【0046】上記積層・加熱プレスにより形成された多層回路基板の、最も外側に位置する回路基板のうち、LSIチップ等の電子部品を搭載する側にある回路基板の表面に、ビアホールの直上に位置して形成される導電性バンプは、たとえば、ドットマトリックス状またはそれより少しずらしたマトリックス状に形成される。

【0047】また、最も外側に位置する回路基板のうち、マザーボードに接続される側にある他の回路基板の表面に、ビアホールの直上に位置して形成された導電性のピンまたは導電性のボールは、たとえば、上記導電性バンプと同様に、ドットマトリックス状またはそれより少しずらしたマトリックス状に形成される。

【0048】以下、本発明の多層回路基板およびそれを用いた半導体装置を製造する方法について、添付図面を参照にして具体的に説明する。

(A) 積層用回路基板の形成

(1) 本発明にかかる多層回路基板を製造するに当たって、それを構成する基本となる回路基板は、絶縁性基材10の片面に銅箔12が貼付けられたものを出発材料として用いる。

【0049】この絶縁性基材10は、たとえば、ガラス布エポキシ樹脂基材、ガラス布ビスマレイミドトリアジン樹脂基材、ガラス布ポリフェニレンエーテル樹脂基材、アラミド不織布-エポキシ樹脂基材、アラミド不織布-ポリイミド樹脂基材から選ばれる硬質な積層基材が使用され得るが、ガラス布エポキシ樹脂基材が最も好ましい。

【0050】上記絶縁性基材10の厚さは、20～600 μm が望ましい。その理由は、20 μm 未満の厚さでは、強度が低下して取扱が難しくなるとともに、電気的絶縁性に対する信頼性が低くなり、600 μm を超える厚さでは微細なビアホールの形成および導電性ペーストの充填が難しくなるとともに、基板そのものが厚くなるためである。

【0051】また銅箔12の厚さは、5～18 μm が望ましい。その理由は、後述するようなレーザ加工を用いて、絶縁性基材にビアホール形成用の開口を形成する際に、薄すぎると貫通してしまうからであり、逆に厚すぎるとエッチングにより、微細な線幅の導体回路パターンを形成し難いからである。

【0052】上記絶縁性基材10および銅箔12としては、特に、エポキシ樹脂をガラスクロスに含浸させてBステージとしたプリプレグと、銅箔とを積層して加熱プレスすることにより得られる片面銅張積層板を用いることが好ましい。その理由は、銅箔12が後述するように

エッチングされた後の取扱中に、配線パターンやビアホールがずれることがなく、位置精度に優れるからである。

【0053】(2) 次に、両面に導体回路が形成された回路基板を製造する場合には、このような絶縁性基材 10 の銅箔 12 が貼付けられた表面と反対側の表面に、保護フィルム 14 を貼付ける (図 6(a) 参照)。

【0054】この保護フィルム 14 は、後述する突起状導体を形成する導電性ペーストの印刷用マスクとして使用され、たとえば、表面に粘着層を設けたポリエチレンテレフタレート (PET) フィルムが使用され得る。前記 PET フィルム 14 は、粘着剤層の厚みが 1~20 μ m、フィルム自体の厚みが 10~50 μ m であるようなものが使用される。

【0055】(3) ついで、絶縁性基材 10 上に貼付けられた PET フィルム 14 上から炭酸ガスレーザ照射を行って、PET フィルム 14 を貫通して、絶縁性基材 10 の表面から銅箔 12 (あるいは導体回路パターン) に達する開口 16 を形成する (図 6(b) 参照)。このレーザ加工は、パルス発振型炭酸ガスレーザ加工装置によつて行われ、その加工条件は、パルスエネルギーが 0.5~100 mJ、パルス幅が 1~100 μ s、パルス間隔が 0.5 ms 以上、ショット数が 3~50 の範囲内で*

〔電解銅めっき水溶液〕

硫酸銅・5水和物	: 65 g/l
レベリング剤 (アトテック製、HL)	: 20 ml/l
硫酸	: 220 g/l
光沢剤 (アトテック製、UV)	: 0.5 ml/l
塩素イオン	: 40 ppm

〔電解めっき条件〕

バブリング	: 3.0 リットル/分
電流密度	: 0.5 A/dm ²
設定電流値	: 0.18 A
めっき時間	: 130 分

【0059】(6) 上記 (5) にて電解銅めっき 20 が充填されなかった開口 18 の隙間あるいは凹みに対して、保護フィルム 14 を印刷用マスクとして導電性ペースト 22 を充填し、絶縁性基材 10 の表面から保護フィルム 14 の厚みに相当する分だけ突出した導体部分 24 (以下、「突起状導体」という) を形成する (図 6(d) 参照)。

【0060】(7) 次いで、突起状導体 24 を含んだ絶縁性基材 10 の表面に接着剤層 26 を形成する (図 6(e) 参照)。この接着剤 26 は半硬化状態、すなわち B ステージの接着剤であり、導体回路パターンが形成されるべき銅箔を接着するためのものであり、たとえば、エポキシ樹脂ワニスを使用され、その層厚は 10~50 μ m の範囲が好ましい。

【0061】(8) 上記 (7) の工程で接着剤層 26 を設けた絶縁性基材 10 の表面に、銅箔 28 を加熱プレスに

* あることが望ましい。このような加工条件のもとで形成され得るビア口径は、50~250 μ m であることが望ましい。

【0056】(4) 前記 (3) の工程で形成された開口 16 の側面および底面に残留する樹脂残滓を除去するために、デスマリア処理を行う。このデスマリア処理は、酸素プラズマ放電処理、コロナ放電処理、紫外線レーザ処理またはエキシマレーザ処理等によって行われる。特に、開口内に紫外線レーザまたはエキシマレーザを照射することによってデスマリア処理するのが、接続信頼性の確保の観点から望ましい。

【0057】このデスマリア処理を、たとえば、YAG 第 3 高調波を用いた紫外線レーザ照射によって行う場合のレーザ照射条件は、発信周波数が 3~15 KHz、パルスエネルギーが 0.1~5 mJ、ショット数が 10~30 の範囲が望ましい。

【0058】(5) 次に、デスマリア処理された基板に対して、以下のような条件で銅箔 12 をめっきリードとする電解銅めっき処理を施して、開口 16 内に電解銅めっき 18 を充填して、充填ビアホール 20 を形成する (図 6(c) 参照)。このめっき処理により、開口 16 の上部に後述する導電性ペースト 22 を充填するわずかの隙間を残して電解銅めっき 18 が充填される。

よって圧着して、接着剤層 26 を硬化させる (図 6(f) 参照)。その際、銅箔 28 は硬化した接着剤層 26 を介して絶縁性基材 10 に接着され、突起状導体 24 と銅箔 28 とが電氣的に接続される。この銅箔 28 の厚さは、5~18 μ m が望ましい。

【0062】(9) 次いで、絶縁性基材 10 の両面に貼付けられた銅箔 12 および 28 上に、それぞれエッチング保護フィルムを貼付けて、所定の回路パターンのマスクで被覆した後、エッチング処理を行って、導体回路 30 および 32 (ビアランドを含む) を形成する (図 6(g) 参照)。

【0063】この処理工程においては、先ず、銅箔 12 および 28 の表面に感光性ドライフィルムレジストを貼付した後、所定の回路パターンに沿って露光、現像処理してエッチングレジストを形成し、エッチングレジスト非形成部分の金属層をエッチングして、ビアランドを含

んだ導体回路パターン 30 および 32 を形成する。エッチング液としては、硫酸一過酸化水素、過硫酸塩、塩化第二銅、塩化第二鉄の水溶液から選ばれる少なくとも 1 種の水溶液が望ましい。

【0064】上記銅箔 12 および 28 をエッチングして導体回路 30 および 32 を形成する前処理として、ファインパターンを形成しやすくするため、あらかじめ、銅箔の表面全面をエッチングして厚さを 1~10 μm、より好ましくは 2~8 μm 程度まで薄くすることができる。導体回路の一部としてのビアランドは、その内径が

【0065】(10) 次に、前記 (8) の工程で形成した導体回路 30 および 32 の表面を、必要に応じて粗化処理して（粗化層の表示は省略する）、両面回路基板 34 を形成する。この粗化処理は、多層化する際に、接着剤層との密着性を改善し、剥離（デラミネーション）を防止するためである。粗化処理方法としては、例えば、ソフトエッチング処理や、黒化（酸化）還元処理、銅-

【0066】この実施形態においては、上記粗化層の形成は、エッチング液を用いて形成されるのが好ましく、たとえば、導体回路の表面を第二銅錯体と有機酸の混合水溶液からエッチング液を用いてエッチング処理することによって形成することができる。かかるエッチング液は、スプレーやバブリングなどの酸素共存条件下で、銅

導体回路パターンを溶解させることができ、反応は、次のように進行するものと推定される。

【0067】上式に示されるように、発生した第一銅錯体は、酸の作用で溶解し、酸素と結合して第二銅錯体となって、再び銅の酸化に寄与する。本発明において使用される第二銅錯体は、アゾール類の第二銅錯体がよい。この有機酸-第二銅錯体からなるエッチング液は、アゾール類の第二銅錯体および有機酸（必要に応じてハロゲンイオン）を、水に溶解して調製することができる。このようなエッチング液は、たとえば、イミダゾール銅 (II) 錯体 10 重量部、グリコール酸 7 重量部、塩化カリウム 5 重量部を混合した水溶液から形成される。本発明にかかる多層回路基板を構成する両面回路基板は、上記 (1) ~ (10) の工程にしたがって製造される。

【0068】(11) 次に、このような両面回路基板の表

裏面にそれぞれ積層される片面回路基板の製造に際して、まず、絶縁性基材 10 の片面に貼り付けられた銅箔 12 上に、エッチング保護フィルムを貼付けて、所定の回路パターンのマスクで被覆した後、エッチング処理を行って、導体回路 40（ビアランドを含む）を形成する（図 7 (b) 参照）。この処理工程においては、先ず、銅箔 12 の表面に感光性ドライフィルムレジストを貼付した後、所定の回路パターンに沿って露光、現像処理してエッチングレジストを形成し、エッチングレジスト非形成部分の金属層をエッチングして、ビアランドを含んだ導体回路パターン 40 を形成する。

【0069】エッチング液としては、硫酸一過酸化水素、過硫酸塩、塩化第二銅、塩化第二鉄の水溶液から選ばれる少なくとも 1 種の水溶液が望ましい。上記銅箔 12 をエッチングして導体回路 40 を形成する前処理として、ファインパターンを形成しやすくするため、あらかじめ、銅箔の表面全面をエッチングして厚さを 1~10 μm、より好ましくは 2~8 μm 程度まで薄くすることができる。

【0070】(12) 絶縁性基材 10 の片面に導体回路 40 を形成した後、上記 (2) ~ (6) の工程にしたがった処理を行ない、その後、PET フィルム 14 を絶縁性基材 10 の表面から剥離させる（図 7 (c) ~ 図 7 (e) 参照）。

【0071】上記 (6) の工程にしたがって形成した突起状導体 44（両面回路基板の突起状導体 24 と区別するために符号 44 で示す）の絶縁性基材 10 の表面からの突出高さは、保護フィルム 14 の厚みにほぼ等しく、5~30 μm の範囲が望ましい。その理由は、5 μm 未満では、接続不良を招きやすく、30 μm を越えると抵抗値が高くなると共に、加熱プレス工程において突起状導体 24 が熱変形した際に、絶縁性基板の表面に沿って拡がりすぎるので、ファインパターンが形成できなくなるからである。

【0072】また、上記突起状導体 44 は、プレキュアされることが望ましい。その理由は、突起状導体 44 は半硬化状態でも硬く、積層プレスの段階で接着剤層が軟化する前に、積層される他の回路基板の導体回路（導体パッド）と電気的接触が可能となるからである。このような突起状導体 44 は、加熱プレス時に変形して接触面積が増大するので、導通抵抗を低くすることができ、さらに突起状導体 44 の高さのばらつきが是正される。

【0073】(13) 次に、絶縁性基材 10 の突起状導体 44 を含んだ表面に樹脂接着剤 46 を塗布する（図 7 (f) 参照）。このような樹脂接着剤は、例えば、絶縁性基材 10 の突起状導体 44 を含んだ表面全体または突起状導体 44 を含まない表面に塗布され、乾燥化された状態の未硬化樹脂からなる接着剤層として形成される。この接着剤層は、取扱が容易になるため、プレキュアしておくことが好ましく、その厚さは、5~50 μm の範囲

が望ましい。

【0074】前記接着剤層46は、有機系接着剤からなることが望ましく、有機系接着剤としては、エポキシ樹脂、ポリイミド樹脂、熱硬化型ポリフェノレンエーテル（PPE）、エポキシ樹脂と熱可塑性樹脂との複合樹脂、エポキシ樹脂とシリコン樹脂との複合樹脂、BTレジンから選ばれる少なくとも1種の樹脂であることが望ましい。有機系接着剤である未硬化樹脂の塗布方法は、カーテンコート、スピンコート、ロールコート、スプレーコート、スクリーン印刷などを使用できる。また、接着剤層の形成は、接着剤シートをラミネートすることによってもできる。

【0075】上記片面回路基板50は、絶縁性基材10の一方の表面に導体回路40を有し、他方の表面には導電性ペーストの一部が露出して形成される突起状導体44を有し、さらに突起状導体44を含んだ絶縁性基材10の表面に接着剤層46を有して形成され、それらの複数枚が相互に積層接着されたり、予め製造された両面回路基板34に積層接着されて、多層化基板60が形成されるが、樹脂接着剤46はこのような積層段階で使用されることが好ましい。

【0076】（B）積層用回路基板の多層化
上記（A）の各処理工程にしたがって製造された両面回路基板34の両面に、3枚の片面回路基板50、52および54が積層されてなる4層基板が、加熱温度150～200℃、加圧力1M～4MPaの条件のもとで、1度のプレス成形により一体化され多層化基板60が形成される（図8参照）。上記のような条件のもとで、加圧と同時に加熱することで、各片面回路基板の接着剤層46が硬化し、隣接する片面回路基板との間で強固な接着が行われる。なお、加熱プレスとしては、真空熱プレスを用いることが好適である。上述した実施の形態では、1層の両面回路基板と3層の片面回路基板とを用いて4層に多層化したのが、5層あるいは6層を超える多層化にも適用できる。

【0077】（C）導電性バンプ、ピン、ボールの配設
上記（B）の各処理工程にしたがって形成された多層化された回路基板のうち、最も外側に位置する回路基板に導電性バンプを設けて、LSI等の電子部品を直接搭載するようにし、また最も外側に位置する他方の回路基板に導電性ピンまたは導電性ボールを配設して、マザーボード上の接続用端子あるいは導電性ボールに直接的に接続できるパッケージ基板として構成する。

【0078】たとえば、図8に示すような多層化基板60は、最も外側に位置する回路基板50および54の導体回路40がそれぞれ外側に露出した構造であり、このような多層化基板の場合には、それぞれの導体回路40上にビアホール直上に位置した適切なはんだパッド部を設け、これらのはんだパッド部上に適切なはんだ体を提供して導電性バンプ62を形成したり、導電性ピン64

または導電性ボール66を接続するように構成する。

【0079】なお、導電性バンプ62を形成するはんだ体としては、融点が比較的低いスズ／鉛はんだ（融点183℃）やスズ／銀はんだ（融点220℃）を用い、導電性ピン64や導電性ボール66を接続するはんだ体としては、融点が230℃～270℃と比較的融点の高いスズ／アンチモンはんだ、スズ／銀はんだ、スズ／銀／銅はんだを用いることが好ましい。

【0080】また、図9に示すような4枚の片面回路基板70、72、74および76が順次積層されてなる4層基板を、適切な加熱、加圧条件のもとで、1度のプレス成形により一体化した多層化基板80を用いる場合には、最も外側に位置する一方の回路基板70は、そのビアホールの直下にある突起状導体が溶融して絶縁性基材10の表面上にほぼ円形の導体パッドを形成し、他方の回路基板76は、その導体回路40のビアホール直上の部分が導体パッドに形成された構造となる。

【0081】このような多層化基板80の場合には、最下層の回路基板70は、そのビアホール直下の導体パッド上に、導電性ピン64または導電性ボール66が接続され、マザーボード（図示を省略した）の接続用端子あるいははんだボールに接続されるようになっており、また最上層の回路基板76は、その導体回路40の一部に形成した導体パッド上に導電性バンプ62が形成されて、LSIチップ等の電子部品82のはんだボール84に接続されるように構成される（図10参照）。また、導電性パッド、導電性ピンまたは導電性ボールを含んだ多層化基板80と、その多層化基板80上に搭載される電子部品82と、多層化基板80が取り付けられるマザーボードを含めた全体として半導体装置が構成される。

【0082】図11は、多層化基板80の最も外側に位置する一方の回路基板70に対してチップコンデンサー86が接続・固定され、他方の回路基板76の外周縁に沿って反り防止のためのスティフナ88が固着されている他の半導体装置を示す。このような半導体装置においては、チップコンデンサー86は、セラミックス、チタン酸バリウムなどの高誘電体から形成され、搭載された電子部品82の直下に位置するビアホールに電氣的に接続され、ループインダクタンスの低減を図ることができる。また、スティフナ88は、BT、FR4、FR5のようなガラスエポキシ複合材料や、銅などの金属材料から形成され、回路基板を構成する各材料の熱膨張量の差に起因する反りを防止している。

【0083】さらに、図12に示すように、多層化基板80を構成する最も外側の回路基板の一方は、その導体回路40に形成した導体パッド上に導電性バンプ62を形成し、他方の回路基板（ここでは最下層の回路基板70）は、絶縁性基材10に設けた開口16に電解銅めっき層を充填しないような構成とし、その開口16内に露出する導体回路40に形成した導体パッド部に、適切な

はんだ体を供給して導電性ピン 64 を接続させた構造とすることもできる。このような構造は、導電性ピン 64 が絶縁性基材 10 によってその周囲を囲まれているので、あらためて溶剤レジスト層を設ける必要がなくなる。

【0084】なお、図 10 において破線で示すように、最も外側の回路基板 70 および 76 の表面に溶剤レジスト層 83 を形成してもよい。この場合、溶剤レジスト組成物を塗布し、その塗膜を乾燥した後、この塗膜に、開口部を描画したフォトリソマスクフィルムを載置して露光、現像処理することにより、導体回路 40 のうち、はんだパッド部分を露出させた開口を形成し、その露出したはんだパッド部分に、導電性バンプ 62、導電性ピン 64 あるいは導電性ボール 66 を設ける。

【0085】上記実施の形態において、各はんだパッド部上に「ニッケル—金」からなる金属層を形成することが好ましく、ニッケル層は 1~7 μm が望ましく、金層は 0.01~0.06 μm がよい。この理由は、ニッケル層は、厚すぎると抵抗値の増大を招き、薄すぎると剥離しやすいからである。一方金層は、厚すぎるとコスト増になり、薄すぎるとはんだ体との密着効果が低下するからである。

【0086】このようなはんだパッド部上に設けたニッケル—金からなる金属層上に、はんだ体を供給し、このはんだ体の溶融・固化によって導電性バンプを形成し、あるいは導電性ピンや導電性ボールをはんだパッド部に接合して、多層回路基板が形成される。

【0087】上記はんだ体の供給方法としては、はんだ転写法や印刷法を用いることができる。ここで、はんだ転写法は、プリプレグにはんだ箔を貼合し、このはんだ箔を開口部分に相当する箇所のみを残してエッチングすることにより、はんだパターンを形成してはんだキャリアフィルムとし、このはんだキャリアフィルムを、基板の溶剤レジスト開口部分にフラックスを塗布した後、はんだパターンがパッドに接触するように積層し、これを加熱して転写する方法である。一方、印刷法は、パッドに相当する箇所に開口を設けた印刷マスク（メタルマスク）を基板上に載置し、はんだペーストを印刷して加熱処理する方法である。はんだとしては、スズ—銀、スズ—インジウム、スズ—亜鉛、スズ—ビスマスなどが使用できる。以下、実施例をもとに説明する。

【0088】

【実施例】（実施例 1）

（1） まず、多層回路基板を構成する両面回路基板を製作する、この回路基板は、エポキシ樹脂をガラスクロスに含浸させて B ステージとしたプリプレグと、銅箔とを積層して加熱プレスすることにより得られる片面銅張積層板を出発材料として用いる。この絶縁性基材 10 の厚さは 75 μm 、銅箔 12 の厚さは 12 μm であり、この積層板の銅箔形成面と反対側の表面に、厚みが 10 μ

m の粘着剤層を有し、かつフィルム自体の厚みが 12 μm であるような PET フィルム 14 をラミネートする。

【0089】（2） ついで、PET フィルム 14 上から炭酸ガスレーザ照射を行って、PET フィルム 14 および絶縁性基材 10 を貫通して銅箔 12 に至るビアホール形成用開口 16 を形成し、さらにその開口 16 内を紫外線レーザ照射によってデスミア処理した。この実施例においては、ビアホール形成用の開口の形成には、三菱電機製の高ピーク短パルス発振型炭酸ガスレーザ加工機を使用し、全体として厚さ 22 μm の PET フィルムを樹脂面にラミネートした、基材厚 75 μm のガラス布エポキシ樹脂基材に、マスクイメージ法で PET フィルム側からレーザビーム照射して 100 穴/秒のスピードで、150 $\mu\text{m}\phi$ のビアホール形成用の開口を形成した。また、デスミア処理用の YAG 第 3 高調波を用いた紫外線レーザ照射装置は、三菱電機社製の GT605LDX を使用し、そのデスミア処理のためのレーザ照射条件は、発信周波数が 5 KHz、パルスエネルギーが 0.8 mJ、ショット数が 10 であった。

【0090】（3） デスミア処理を終えた基板に対して、銅箔 12 をめっきリードとする電解銅めっき処理を施して、開口 16 の上部にわずかの隙間を残して、その開口 16 内に電解銅めっき 18 を充填してビアホール 20 を形成する。

【0091】（4） さらに、PET フィルム 14 を印刷マスクとして、開口 16 に充填された銅めっき層 18 上に導電性ペースト 22 を充填して、絶縁性基材 10 の表面からはほぼ PET フィルム 14 の厚み分だけ突出する突起状導体 24 を形成する。

【0092】（5） 次に、PET フィルム 14 を絶縁性基材 10 の表面から剥離させた後、エポキシ樹脂接着剤を突起状導体 24 側の全面に塗布し、100℃で 30 分間の乾燥を行って厚さ 20 μm の接着剤層 26 を形成した。

【0093】（6） 上記（5）で形成した接着剤層 26 上に、厚さ 12 μm の銅箔 28 を、加熱温度 180℃、加熱時間 70 分、圧力 2 MPa、真空度 2.5×10^{-3} Pa の条件のもとで加熱プレスした。

【0094】（7） その後、基板両面の銅箔 12 および 28 に適切なエッチング処理を施して、導体回路 30 および 32（ビアランドを含む）を形成して、両面回路基板 34 を作製した。

【0095】（8） 次に、積層用の片面回路基板を作製する。この回路基板は、両面回路基板 34 と同様の片面銅張積層板を出発材料として用いた。まず、絶縁性基材 10 上の銅箔 12 に適切なエッチング処理を施して、導体回路 40 を形成し、さらに、導体回路 40 と反対側に位置する絶縁性基材 10 の表面に、PET フィルム 14 をラミネートした。

【0096】（9） その後、上記（2）～（5）の工程

にしたがって処理することによって、絶縁性基材 10 の一方の表面に導体回路 40 が形成され、絶縁性基材 10 の他方の面から導体回路 40 に達する開口内に電解銅めっき 18 が充填されるとともに、その電解銅めっき 18 上に突起状導体 44 が形成され、さらに突起状導体 44 を含んだ絶縁性基材 10 の表面にエポキシ樹脂接着剤 46 が塗布された。このエポキシ樹脂接着剤はプレキュアされ、多層化のための接着剤層を形成し、このような片面回路基板 50 を 3 枚作製した。

【0097】(10) 上記(1)～(9)の処理によって形成された、1 枚の両面回路基板 34 と、3 枚の片面回路基板 50、52 および 54 を、図 3 に示すような所定の位置にスタックし、真空熱プレスを用いて 180℃ の温度で積層一括プレスすることによって、全層が I V H 構造を有する多層化基板 60 を作成した(図 8 参照)。

【0098】(11) このような多層回路基板 60 を構成する最も外側の回路基板のうち、一方の回路基板 50 (下層基板)の導体回路 40 上に、熔融温度が約 230℃ のスズ/アンチモンはんだによって T ピン 64 又ははんだボール 66 を接続し、他方の回路基板 54 (上層基板)の導体回路 40 上には、熔融温度が約 183℃ のスズ/鉛はんだからなるはんだ体を提供し、はんだバンプ 62 を形成して多層回路基板を製作し、さらに、この多層回路基板の上層回路基板に電子部品 82 を載置した状態で、スズ/鉛はんだ溶融点近傍の雰囲気内でリフローさせて、はんだバンプ 62 に電子部品 82 のはんだボール 84 を溶融固着させることによって、多層回路基板と電子部品とからなる半導体装置を製造した。

【0099】(実施例 2) 4 層の片面回路基板を図 1 に示すような所定位置に積層して、一括加熱プレスすることによって多層化基板を形成し、最も外側に位置する一方の回路基板の導体回路(導体パッド)に対してはんだバンプを形成し、他方の回路基板の外側に露出する突起状導体が加熱プレスされて形成された導体パッドに対して、T ピン又ははんだボールが接着されたこと以外は、実施例 1 と同様にして多層回路基板および半導体装置を製造した。

【0100】(実施例 3) 図 12 に示すように、4 層の片面回路基板のうち、最も外側に位置する回路基板の一方を、その導体回路に形成した導体パッド上に導電性バンプを形成し、他方の回路基板を、絶縁性基材に設けた開口に電解銅めっき層を充填しないような構成とし、その開口内に露出する導体回路に形成した導体パッドに、はんだ体を提供して導電性ピン 64 を接続させた構造としたこと以外は、実施例 1 と同様にして多層回路基板および半導体装置を製造した。

【0101】上記実施例 1～3 について、LSI チップからはんだバンプ、BGA(ボールグリッドアレイ)または PGA(ピングリッドアレイ)までの配線長、ランド

形成数およびランド総面積を調べた結果、従来のプリント配線板より、配線長さで 8/10～1/2 となり、ランド形成数は 1.5～2.0 倍、ランド面積は 2/3～8/10 となり高密度配線が可能となった。

【0102】

【発明の効果】以上説明したように、本発明の多層回路基板によれば、硬質の絶縁性基材の片面または両面に導体回路を有し、導体回路形成面と反対側の面からレーザー照射により形成した微細な開口に導電性物質を充填したビアホールを有する回路基板の複数枚を積層して一括加熱プレスすることによって形成した多層化基板のうち、最も外側にある一方の回路基板にはそのビアホール直下に導電性バンプを形成し、他方の回路基板にはそのビアホール直下に導電性ピンまたは導電性ボールを配設したパッケージ基板に構成したので、多層化基板内の配線を高密度化できるとともに、多層化基板の最も外側の表面に、電子部品やマザーボードとの電氣的接続をなす導電性バンプ、導電性ピンまたは導電性ボールを高密度に配置することができるので、高密度配線および電子部品の高密度実装が可能となる。また、応力も緩和される構造であるため、配線に反りもなく、T ピンや導電性バンプの平坦性も確保することができる。

【図面の簡単な説明】

【図 1】本発明にかかる多層回路基板を構成する片面回路基板の一積層状態を示す図である。

【図 2】本発明にかかる多層回路基板を構成する片面回路基板の他の積層状態を示す図である。

【図 3】本発明にかかる多層回路基板を構成する片面回路基板のその他の積層状態を示す図である。

【図 4】本発明にかかる多層回路基板を構成する片面回路基板の更にその他の積層状態を示す図である。

【図 5】(a)～(g) は、本発明にかかる多層回路基板を構成する両面回路基板の製造工程の一部を示す図である。

【図 6】(a)～(f) は、本発明にかかる多層回路基板を構成する片面回路基板の製造工程の一部を示す図である。

【図 7】本発明にかかる多層回路基板の一実施形態を示す図である。

【図 8】本発明にかかる多層回路基板を構成する片面回路基板のビアホール位置を説明するための図である。

【図 9】本発明にかかる多層回路基板の他の実施形態を示す図である。

【図 10】本発明にかかる多層回路基板の更に他の実施形態を示す図である。

【図 11】本発明にかかる多層回路基板の他の実施形態を示す図である。

【符号の説明】

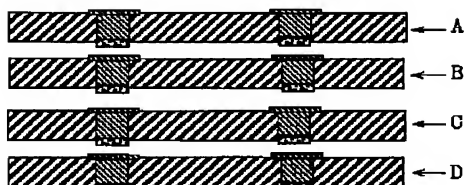
10 絶縁性基材

12 銅箔

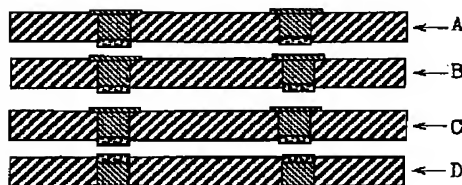
- 14 保護フィルム
16 ビアホール形成用開口
18 電解銅めっき
20 充填ビアホール
22、42 導電性ペースト
24、44 突起状導体
26、46 樹脂接着剤層
28 銅箔
30、32 導体回路
34 両面回路基板
40 導体回路

- | | |
|--------|--------------------|
| * 5 0 | 片面導体回路 |
| 6 0、 | 8 0 多層化基板 |
| 6 2 | はんだバンブ |
| 6 4 | ピン |
| 6 6 | はんだボール |
| 7 0、 | 7 2、7 4、7 6 片面回路基板 |
| 8 2 | L S I 等の電子部品 |
| 8 3 | ソルダーレジスト層 |
| 8 4 | はんだボール |
| 10 8 6 | チップコンデンサ |
| * 8 8 | スティフナ |

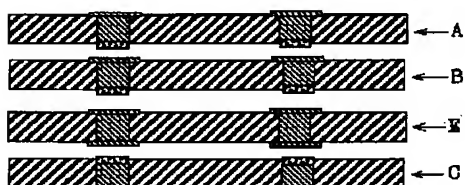
【图 1】



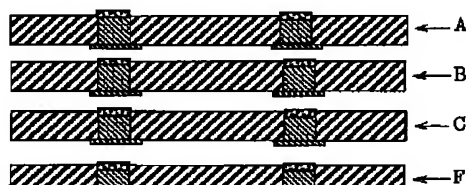
【図 2】



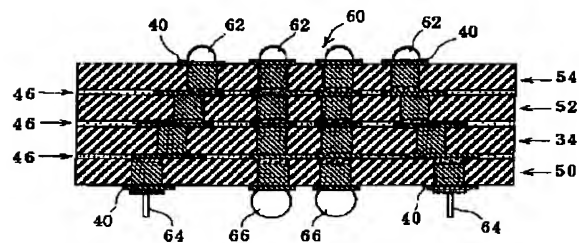
【図 3】



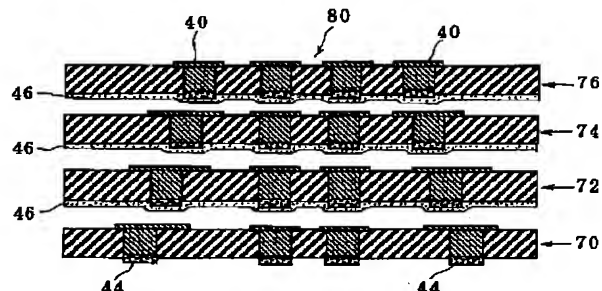
【図 4】



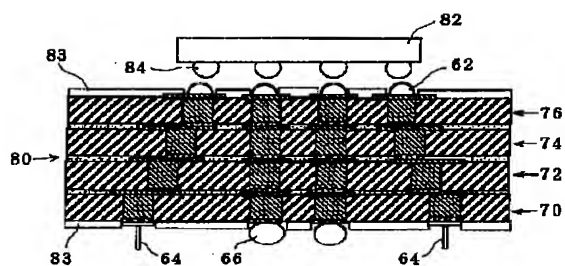
【图 7】



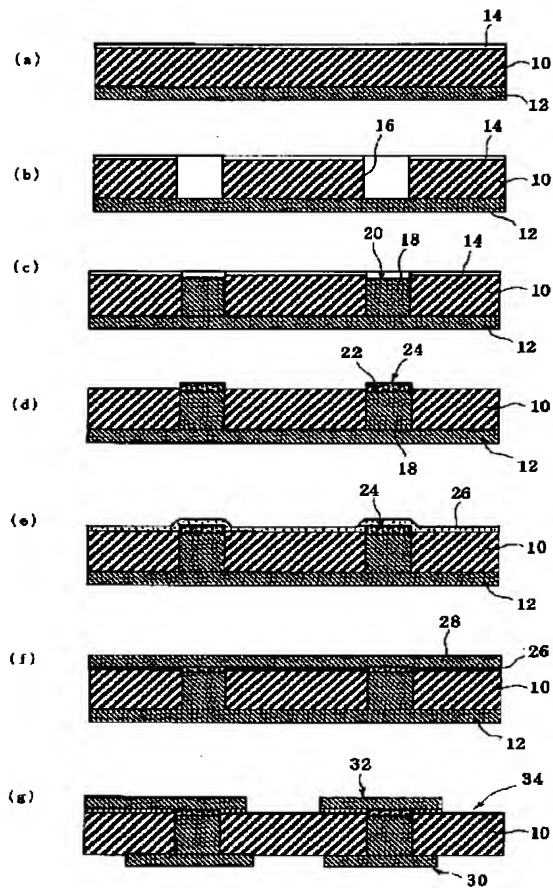
【图 8】



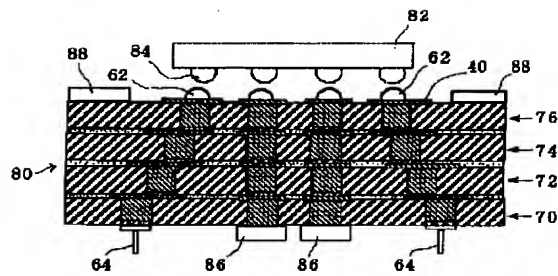
【図 9】



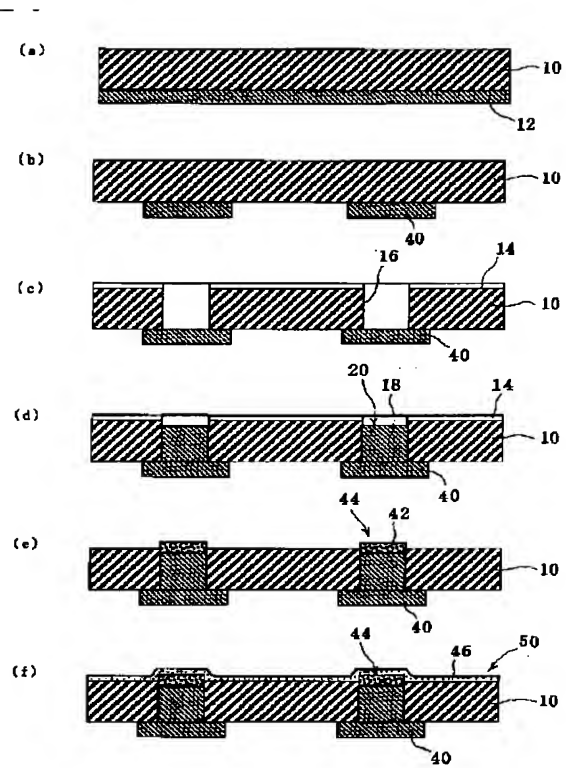
【図5】



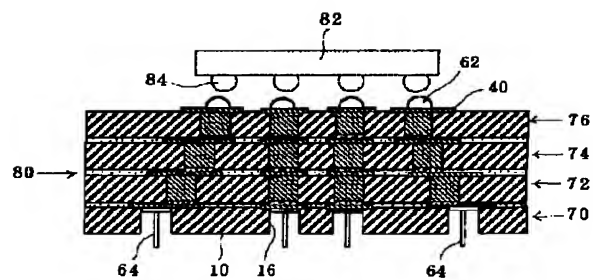
【図10】



【図6】



【図11】



フロントページの続き

(51)Int.Cl.⁷
H05K 1/11

識別記号

F I
H01L 23/12

テーマコード(参考)

B
N

F ターム(参考) 5E317 AA01 AA24 BB01 BB11 CC08
CC25 CC31 CC53 CD34 CD40
GG09 GG14
5E338 AA03 BB02 BB12 BB25 BB72
BB75 CC01 CD03 CD33 EE26
5E346 AA05 AA06 AA12 AA15 AA22
AA32 AA43 AA51 CC02 CC04
CC09 CC32 DD02 DD12 DD32
DD45 EE06 EE09 EE13 EE15
EE18 FF04 FF07 FF14 FF18
FF24 FF35 FF45 GG15 GG17
GG18 GG22 GG25 GG28 HH11
HH22 HH25